

УДК: 004.31

**ПРОЕКТУВАННЯ ЦИФРОВИХ БЛОКІВ З МІНІМАЛЬНИМ
ЕНЕРГОСПОЖИВАННЯМ****Розкиданий В.Р., Костенчук В.О., доцент, Корнійчук В.І.**

Національний технічний університет України «Київський політехнічний інститут», Україна, Київ

В даній статті розглянуто проблеми енергоспоживання цифрових блоків з використанням технології КМОН(комплементарна структура метал-оксид-напівпровідник). Відмінною особливістю цих схем порівняно з біполярними технологіями (ТТЛ, ЕСЛ і ін.) є дуже мале енергоспоживання в статичному режимі. Ще однією особливістю структури КМОН в порівнянні з іншими є наявність як n-, так і р-канальних польових транзисторів; як наслідок, КМОН-схеми мають більш високу швидкість і менше енергоспоживання, але це значення можна ще зменшити за рахунок вірного проектування.

Ключові слова: КМОН-елемент, енергоспоживання, функція перемикання, цифровий блок, провідник, логічний вузол.

Розкиданий В.Р., Костенчук В.О., доцент Корнейчук В.И. Проектирование цифровых блоков с минимальным энергопотреблением / Национальный технический университет Украины «Киевский политехнический институт», Украина, Киев.

В данной статье рассмотрены проблемы энергопотребления цифровых блоков с использованием технологии КМОП (комплементарная структура металл-оксид-полупроводник). Отличительной особенностью этих схем по сравнению с биполярными технологиями (ТТЛ, ЭСЛ и др.) - очень малое энергопотребление в статическом режиме. Еще одной особенностью структуры КМОП по сравнению с другими является наличие как n-, так и p-канальных полевых транзисторов; как следствие, КМОП-схемы имеют более высокое быстродействие и меньшее энергопотребление, но это значение можно еще уменьшить за счет верного проектирования.

Ключевые слова: КМОП-элемент, энергопотребление, функция переключения, цифровой блок, проводник, логический узел.

Rozkydanyi V.R., Kostenchuk V.O., docent Korniychuk V.I. Design of digital blocks with minimum energy consumption / National Technical University of Ukraine "Kyiv Polytechnic Institute", Ukraine, Kyiv.

In this article describes the problem of energy units with digital technology CMOS (complementary metal-oxide-semiconductor. A distinctive feature of these schemes compared to bipolar technologies (TTL, ECL, etc.) is a very low power consumption in static mode. Another

feature of CMOS structure compared to other it's availability n-, and p-channel field-effect transistors; as a result CMOS circuits with higher performance and lower power consumption, but this value can further reduce the expense of true design.

Keywords: CMOS element, energy, function switching, digital block, conductor, logical unit.

Вступ. В даний час в цифровій техніці використовуються (до 95 і більше %) КМОН-елементи, особливістю яких є практично нульова потреба енергії в режимах роботи без перемикавання компонентів. У таких блоках, споживана енергія витрачається на перезарядку конденсаторів сполучних провідників, а величина цієї енергії пропорційна електричній ємності, яка, в свою чергу, пропорційна довжині і ширині цих провідників. З метою зменшення цієї ємності, ширину провідника роблять мінімально можливою, що забезпечує надійну роботу блоків, а довжина провідників залежить від конструктивних особливостей блоку. В роботі [5] наведено методику побудови цифрових блоків, що дозволяє скоротити кількість перемикачів цифрових елементів з метою зменшення споживаної енергії.

Виклад основного матеріалу. У даній статті наведено методику, що дозволяє не тільки скоротити кількість перемикачів елементів, але і зменшувати довжину зв'язків між ними.

Як приклад розглянемо блок, який реалізує функцію перемикавання

$\lambda = AC \vee \overline{AB} \vee \overline{AB} = (\overline{AC})(\overline{AB})(\overline{AB})$ на логічних елементах. (Рис. 1-а)

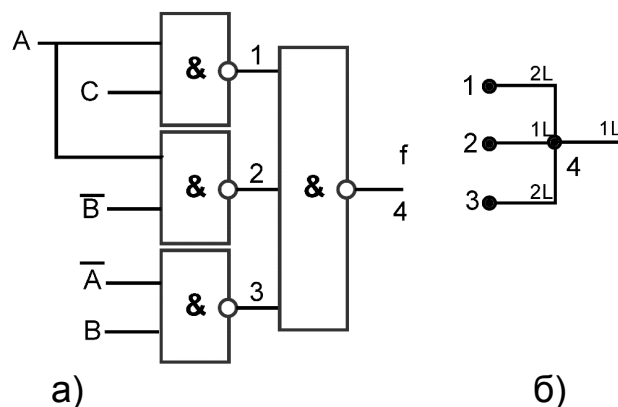


Рис. 1. а) Цифровий блок перемикавання функції λ на логічних елементах, б) Схема для визначення сумарної довжини з'єднувальних провідників в логічних вузлах (точками позначені ЛЕ, лініями-з'єднувальні провідники).

Для розрахунку споживаної блоком енергії склали таблицю 1, де в першому стовпці і першому рядку перераховані значення вхідних сигналів (A, B, C) до їх перемикавання і після їх перемикавання, а в стовпці 1234 вказані стан виходів всіх логічних елементів (1, 2, 3 і 4 см. рис.1) при відповідних вхідних сигналах.

Наприклад, якщо $(A, B, C) = (0\ 0\ 0)$, то на виходах елементів 1, 2 і 3 будуть 1, а на виході t буде 0. Це відповідає коду 1110 (Табл. 1, стовпець 1234).

Для оцінки енергії, необхідної для перезарядження шини провідників, що з'єднують виходи ЛЕ 1, 2 і 3 з входами ЛЕ (Рис. 1а) припустимо, що всі ЛЕ, позначені точками на Рис.1б, розташовані на кристалі з кроком в одну умовну одиницю (УО) як по вертикалі, так і по горизонталі (Рис. 1б), і сполучні провідники можуть бути проведені тільки або уздовж горизонталі, або вертикалі. При цих умовах довжини провідників, що з'єднують ЛЕ 1, 2 і 3 з ЛЕ будуть рівні відповідно 2, 1 і 2.

Таблиця 1

Розрахунок споживаної енергії цифровим блоком

ABC	000	001	010	011	100	101	110	111	1234
000	0	0	3	3	2	4	0	3	1110
001	0	0	3	3	2	4	0	3	1110
010	3	3	0	0	3	3	3	4	1101
011	3	3	0	0	3	5	3	4	1101
100	2	2	3	3	0	2	2	3	1011
101	4	4	3	5	2	0	4	1	0011
110	0	0	3	3	2	4	0	3	1110
111	3	3	4	4	3	1	3	0	0111
t	-	-	-	-	-	-	-	-	2121

Будемо вважати, що перезарядка провідника довжиною в n УО вимагатиме n УО енергії. Якщо вважати, що перезарядка виходу ЛЕ вимагає 1 УО, то тоді кожен перезаряд ЛЕ 1, 2, 3 і 4 вимагатиме витрат енергії 2, 1, 2 і 1 УО (Табл. 1, рядок t , стовпець 1234).

Виходячи з описаних позначень складена Таблиця 1. Наприклад, перехід стану $авс$ в стан $авс$ не вимагає перемикання ЛЕ. Тому діагональ таблиці буде дорівнювати 0. Перехід, наприклад, зі стану $(ABC) = (000)$ в стан $(ABC) = (010)$ означає, що ЛЕ 1, 2, 3 і 4 були в стані 1110 і перейдуть в стан 1101. Отже, перемикаються ЛЕ 3 і 4, що приведе до втрати енергії 2 і 1, тобто $2 + 1 = 3$ УО. Якщо вважати, що всі переходи рівно вірогідні, то формула УО енергії припадає на один перехід.

Описаний перехід можна використовувати для визначення і зменшення споживання енергії довільних цифрових блоків. Однак особливий ефект він може дати в блоках з довгими зв'язками, наприклад, в запам'ятовуючих пристроях (ЗП) на тригерах.

Розглянемо приклад такої оптимізації в ЗП ємністю в $1024 * 8$ - бітних слів (Рис. 2).

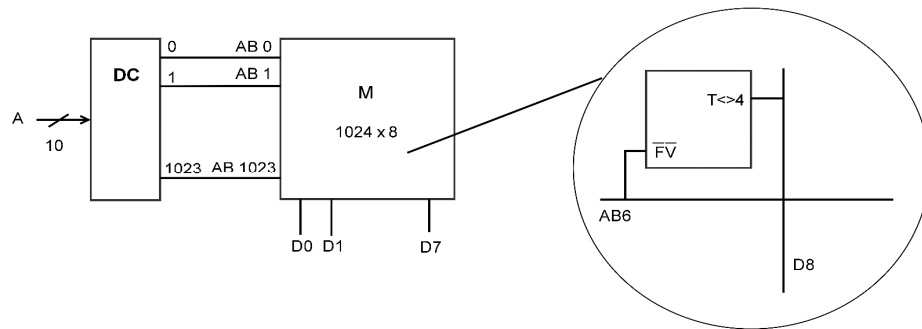


Рис. 2 ЗП ємністю в $1024 * 8$ - бітних слів

У такому ЗП 10-розрядна адреса збуджує одну з 1024 адресних шин (AB), внаслідок чого один з осередків накопичувача *M* підключається до бітових шин *D0*, ..., *D7* і стає доступною для читання або запису даних. Для виконання цих дій необхідно мати дешифратор ДС на 10 входів або, в загальному випадку, на *K* входів (Рис. 3).

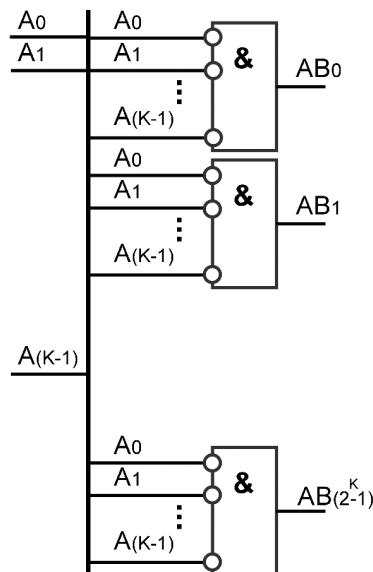


Рис. 3 Дешифратор на *K* входів

Так як кожна шина *A_i* адреси підключена до всіх ЛЕ, то довжина цієї шини буде дорівнювати 2^k УО довжини. Якщо вважати, що цифри 0 і 1 у коді адреси будуть зустрічатися з рівною ймовірністю, то кожна зміна адреси буде викликати перемикання половину всіх ліній *A_i*, що призведе до затрат енергії в $0,5 * (2^k - 1)$ УО, де 2^k – кількість ЛЕ.

Кожна зміна адреси призводить до перемикання однієї з адресної шини (Рис. 2), довжини яких пропорційні довжині *n* слова, і збудженню $0,5 * 8 = 4$, або в загальному випадку $0,5n$ бітових шин *D_j* ($j=0,1,\dots,n-1$), де величина $0,5n$ взята із припущення, що ймовірність появи цифр 0 і 1 в розрядах зчитаного слова дорівнює 0,5 і, отже, у половині із всіх

можливих випадків стан шини D_j не зміниться. Тобто, кожна зміна коду адреси буде призводити до затрат енергії E , що дорівнюватиме

$$E = 0,5 (2^k - 1) K + n + 0,5n * 2^k \text{ УО},$$

де величина 2^k в останньому доданку дорівнює довжині шини D_j .

При $k=10$ і $n=8$, використання енергії буде дорівнювати

$$E_0 = 0,5 * 1024 - 10 + 8 + 0,5 * 8 * 1024 = 9224 \text{ УО}.$$

Цю величину можна зменшити за рахунок одночасної вибірки (наприклад, $2, 4, \dots, P-1$) декількох слів з наступним вибором потрібного слова мультимплексором MUX (Рис. 4), де $p = 2^{k-m} - 1$, (p може дорівнювати 1, 3, 7, 15...).

У таблиці 2 наведено значення використання ЗП енергії, в залежності від кількості 2^{k-m} одночасно вибраних слів. При вибірці r і більше слів, збільшується довжина шини AB в r і більше разів; збільшується довжина шин A , які управляють MUX (при $m = 2, 4, 8, \dots$, довжини цих шин будуть дорівнювати 16, 32, 64, тобто $8m$); збільшиться сумарні довжини шин D (при $m = 2, 4, 8, \dots$ довжина шин D збільшиться на 8; $8 + 2 * 8 + 3 * 8$; $8 + 2 * 8 + 3 * 8 + 4 * 8 + 5 * 8 + 6 * 8 + 7 * 8, \dots$).

Розрахунки використання за одне звернення до ЗП енергії наведені в таблиці 2, із яких слідує, що при даній ємності найбільш енергоекономні ЗП мають мати довжину комірки 1 ... 16 байт, що забезпечить значне скорочення енергоспоживання.

Висновки. Наведена методика розрахунку енергоспоживання цифрових пристроїв дозволяє проектувати більш енергоекономні цифрові пристрої, які відрізняються значною енергоекономією.

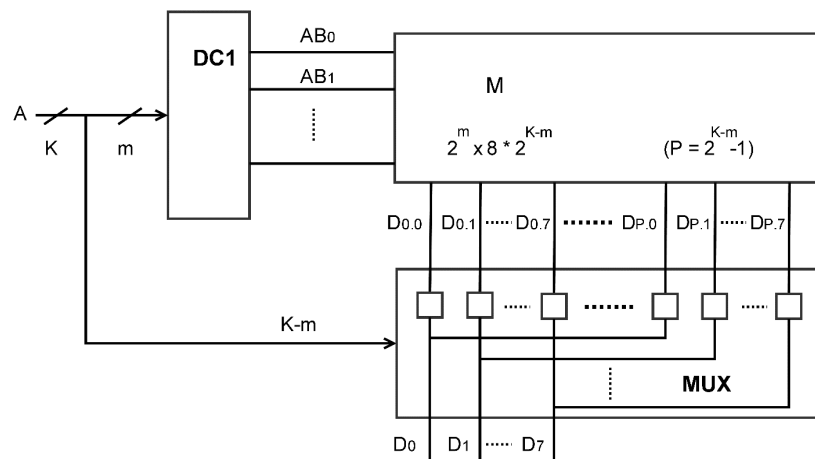


Рис. 4 Схема вибірки з M декількох слів з подальшою вибіркою одного з них

Таблиця 2

**Розрахунок значення використання енергії ЗП, в залежності
від кількості 2^{k-m} одночасно вибраних слів**

№	2^{k-m}	A, DC	A, MUX	AB	D	Σ ЗУ
1	1	5012	-	8	4096	9224
2	2	2304	8	16	4096+32	6428
3	4	1024	32	32	4096+96	5280
4	8	448	96	64	4096+32	4928
5	16	192	256	128	4096	5152

Література:

1. Рабан Ж. М., Чандракасан А., Николич Б. Цифровые интегральные схемы, 2-е издание: Перевод с англ. – М.: ООО «И. Д. Вильямс», 2007. – 912 с.
2. Васильев А. Модульный принцип формирования техники. – М.: Издательство стандартов, 1989. – 240 с.
3. Процюк Р. О., Корнейчук В. И., Кузьменко П. В., Тарасенко В. П. Компьютерная схемотехника (краткий курс). – К.: «Корнійчук», 2006. – 433 с.
4. Шкурко А. И., Корнейчук В. И., Процюк Р. О. Компьютерная схемотехника в примерах и задачах. – К.: «Корнійчук», 2003. – 144с.
5. Костенчук В.А., Корнейчук В.И., Агеенко Ю.Н. Оптимизация одноктактных умножителей по критерию энергопотребления // Україна наукова. –К.: ТОВ «ТК Меганом», 2013 – С. 86-91.

References:

1. Raban Zh. M., Chandrakasan A., Nykolych Digital integrated circuits, 2nd Edition: Translated from English. - M.: ООО "I. D. Williams", 2007. - 912 p.
2. Vasylev A. The modular forming technology. - Moscow.: Publishing house standards, 1989. - 240 p.
3. Protsiuk R. O., Korneichuk V.I., Kuzmenko P.V., Tarasenko V.P. Computer circuitry (short course). - K.: "Korniychuk", 2006. - 433 p.
4. Shkurko A.I., Korneychuk V.I., Protsiuk R.O. Computer circuitry examples and problems. - K.: "Korniychuk", 2003. - 144s.
5. Kostenchuk V.A., Korneichuk V.I., Aheenko Y.N. Optimization of single-cycle multiplier on the criterion of power UKRAINE // Naukova.-K.: LLC "TC Meganom", 2013 - pp 86-91.